



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0085808  
Application Number

출원년월일 : 2002년 12월 28일  
Date of Application  
DEC 28, 2002

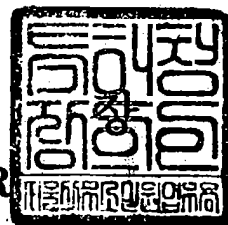
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      07      월      08      일

특      허      청

COMMISSIONER





920001000048



10111010000000000000

방식 심사 관	담 당	심 사 관

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0001

【제출일자】 2002.12.28

【발명의 국문명칭】 정렬을 간소화할 수 있는 파이프래치를 갖는 반도체 기억 장치

【발명의 영문명칭】 Semiconductor Memory Device with a pipelatch for reducing an alignment

【출원인】

【명칭】 주식회사 하이닉스반도체

【출원인코드】 1-1998-004569-8

【대리인】

【명칭】 특허법인 신성

【대리인코드】 9-2000-100004-8

【지정된 변리사】 변리사 정지원, 변리사 원석희, 변리사 박해천

【포괄위임등록번호】 2000-049307-2

【발명자】

【성명의 국문표기】 윤영진

【성명의 영문표기】 YOON, Young Jin

【주민등록번호】 720306-1058317

【우편번호】 467-850

【주소】 경기도 이천시 대월면 사동리 현대6차아파트 605-402

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

대리인

특허법인 신성 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	17	면	17,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	9	항	397,000	원
【합계】			443,000	원

【첨부서류】 1. 요약서 · 명세서(도면)\_1통

## 【요약서】

### 【요약】

본 발명은 데이터의 정렬을 간소화할 수 있는 파이프래치를 갖는 반도체 기억 장치를 제공하기 위하여, 파이프래치 인 신호와 스타트오드 스타트이븐 데이터 출력 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 제1 제어신호 생성수단; 기수번째 데이터를 출력하기 위한 기수데이터인에이블신호와 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하고, 우수번째 데이터를 출력하기 위한 우수데이터인에이블신호와 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 제2 제어신호생성수단; 및 상기 제1 제어신호생성수단과 상기 제2 제어신호생성수단으로부터 출력되는 제어신호에 의해 제어받아 제1 및 제2 멀티플렉서 우수 출력 라인과 제1 및 제2 멀티플렉서 기수 출력 라인에 실린 데이터를 출력시키는 신호전달수단을 포함한다.

### 【대표도】

도 9

### 【색인어】

반도체 기억 장치, 파이프래치, 정렬, 전달게이트, 프리페치

## 【명세서】

### 【발명의 명칭】

정렬을 간소화할 수 있는 파이프래치를 갖는 반도체 기억 장치{Semiconductor Memory Device with a pipelatch for reducing an alignment}

### 【도면의 간단한 설명】

- 도 1은 종래기술에 따른 반도체 기억 장치에서의 파이프래치 블록 구성도,  
도 2은 도 1의 파이프래치 내 정렬에 필요한 신호의 입력체계를 도시한 블록도,  
도 3은 도 2의 파이프래치와 관련한 신호의 세부 구성도,  
도 4는 도 3의 파이프래치 내 제1 멀티플렉서 세부 구성도,  
도 5는 도 3의 파이프래치 내 제2 및 제3 멀티플렉서 세부 구성도,  
도 6은 도 4의 제1 멀티플렉서에서의 시뮬레이션 결과 파형도,  
도 7과 도 8은 각각 도 4의 제2 멀티플렉서 및 제3 멀티플렉서에서의 시뮬레이션 결과 파형도,  
도 9는 본 발명에 따른 반도체 기억 장치에서의 파이프래치 블록 구성도 및 제어신호 생성회로도,  
도 10은 본 발명에 따른 파이프래치 내 신호전달부의 상세 구성도,  
도 11(a)는 본 발명의 신호전달부내 전달게이트의 구체회로도,  
도 11(b)는 제1 및 제2 제어신호생성부에서 사용되는 구체회로도 및 논리상

태도.

**\* 도면의 주요 부분에 대한 설명 \***

910: 신호전달부	920: 제1 제어신호생성부
930: 제2 제어신호생성부	1010: 제1 데이터정렬부
1020: 래치부	1030: 제2 데이터정렬부

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

본 발명은 반도체 기억 장치에 관한 것으로서, 구체적으로는 프리페치한 4비트의 데이터를 파이프래치 내에서 정렬하기 위한 회로를 줄일 수 있는 파이프래치를 갖는 반도체 기억 장치에 관한 것이다.

종래의 반도체 기억 장치에서는 2비트 프리페치 방식이 적용되고 있고, 4비트 프리페치 방식의 적용이 고려되고 있다. 여기서, 2비트 프리페치라 함은, 하나의 리드 명령에 의하여 두개의 데이터를 각각 다른 버스를 통해 동시에 읽어 파이프래치에 저장하는 방식으로서, 출력시에는 이 두 개의 데이터를 클럭의 라이징 및 폴링에 맞춰 출력시키게 된다. 이 때, 두개의 데이터를 동시에 읽어오는 것은 직렬적으로 읽어 올 수도 있고, 병렬적으로 읽어 올 수도 있다.

도 1은 종래기술에 따른 반도체 기억 장치에서의 파이프래치 블록 구성도이

다.

여기서 예로 든 종래의 4비트 프리페치를 수행하는 반도체 기억 장치는 하나의 리드 명령에 의하여 4개의 직렬 데이터 입력을 4개의 글로벌 입출력 라인(GIO)에 실게 되는데, 0번 주소에 해당되는 데이터를 우수 글로벌 입출력 라인 GIO\_EV0에, 1번 주소에 해당되는 데이터는 기수 글로벌 입출력 라인 GIO\_OD0에, 2번 주소에 해당되는 데이터를 우수 글로벌 입출력 라인 GIO\_EV1에, 3번 주소에 해당되는 데이터는 기수 글로벌 입출력 라인 GIO\_OD1에 각각 실는다. 여기서, rdo/fdo는 라이징 엣지 혹은 폴링 엣지에 대응되어 데이터를 출력시키는 데이터 출력 라인이다.

종래의 반도체 기억 장치내 파이프래치는 4개의 파이프래치로 구성되며, 파이프래치수단(120)으로 들어오는 데이터를 받아들일지의 여부를 제어하는 파이프래치 인 신호(PIN<0:3>)가 "L"상태로 되면, 외부에서 대기중인 멀티플렉서 출력 라인 Mxoutb에 실린 데이터를 받아들인다.

도 2은 도 1의 파이프래치 내 정렬에 필요한 신호의 입력체계를 도시한 블록도이다.

즉, 종래기술에 따르면 파이프래치를 통과하는 동안 멀티플렉서 출력 라인 mxoutb에 실린 데이터는 전체 4회의 정렬을 거치게 된다. 1차로 파이프래치 인 신호(PIN<0:3>)에 따라 4개의 파이프래치 중 한 곳으로 실리게 되고, 2차로 스타트오드 스타트이븐 데이터출력 제어신호(isoseb0\_do)에 따라 정렬되며, 3차로 스타트 어드레스에 응하여 기수번째 데이터를 정렬하는 신호(isoseb1\_rd) 및 스타트 어드레스에 응하여 우수번째 데이터를 정렬하는 신호(isoseb1\_fd)에 의해 정렬되고, 4

차로 파이프래치에 저장되어 있던 데이터를 출력시키기 위한 출력제어신호(rpout, fpout)에 따라 파이프래치에 저장되어 있던 데이터가 라이징 엣지 출력라인(rdo)과 폴링 엣지 출력라인(fdo)에 실리게 된다.

여기서, 스타트오드 스타트이븐 데이터출력 제어신호(isoseb0\_do)는 파이프래치(121)에 들어오는 데이터를 스타트 어드레스가 기수인지 우수인지에 따라 멀티플렉서 출력 라인에 실린 데이터를 정렬하기 위한 제어신호이다.

도 3은 도 2의 파이프래치와 관련한 신호의 세부 구성도이다.

본 발명에 따른 파이프래치(121, 122, 123 및 124)는 전단의 멀티플렉서(110)의 출력라인(mxoutb)에 실린 데이터를 스타트 어드레스가 기수인지 우수인지에 따라 정렬을 수행하여 각각 병렬의 전치 폴링 엣지 출력라인 및 전치 라이징 엣지 출력라인으로 출력할 수 있는 복수의 제1 멀티플렉서(310); 스타트 어드레스에 제어받아 상기 복수의 전치 라이징 엣지 출력라인에 실린 데이터의 순서를 정렬할 수 있는 제2 멀티플렉서(320); 및 스타트 어드레스에 제어받아 상기 복수의 전치 폴링 엣지 출력라인에 실린 데이터의 순서를 정렬할 수 제3 멀티플렉서(330)를 포함할 수 있다.

즉, 스타트오드 스타트이븐 데이터출력 제어신호(isoseb0\_do)에 제어되는 복수의 제1 멀티플렉서(310)는 제1-1 멀티플렉서(311)와 제1-2 멀티플렉서(312)을 포함한다.

이 때, 스타트 어드레스가 우수 어드레스이면, 제1-1 멀티플렉서(311)는 제1 멀티플렉서 우수 출력 라인(mxoutb\_ev0)에 실린 데이터를 제1 전치 라이징 엣지 출



력라인(pre\_rdo0)으로, 제1 멀티플렉서 기수 출력 라인(mxoutb\_od0)에 실린 데이터를 제1 전치 폴링 엣지 출력라인(pre\_fdo0)에 넘기며, 제1-2 멀티플렉서(312)는 제2 멀티플렉서 우수 출력라인(mxoutb\_ev1)에 실린 데이터를 제2 전치 라이징 엣지 출력라인(pre\_rdo1)으로, 제2 멀티플렉서 기수 출력 라인(mxoutb\_od1)에 실린 데이터를 제2 전치 폴링 엣지 출력라인(pre\_fdo1)으로 넘긴다. 여기서, 스타트오드 스타트이븐 데이터출력 제어신호(isoseb0\_do)는 파이프래치(210)에 들어오는 데이터를 스타트 어드레스가 기수인지 우수인지에 따라 멀티플렉서 출력 라인에 실린 데이터를 정렬하기 위한 제어신호이다.

이후, 제2 및 제3 멀티플렉서(320, 330)에서의 정렬은 다음과 같다.

상기 우수 어드레스가 0이면, 전치 라이징 엣지 출력라인 및 전치 폴링 엣지 출력라인의 데이터를 각각 다음의 순서로 싣는다.

1. pre\_rdo0 -> rdo, at 제2 멀티플렉서
2. pre\_fdo0 -> fdo, at 제3 멀티플렉서
3. pre\_rdo1 -> rdo, at 제2 멀티플렉서
4. pre\_fdo1 -> fdo, at 제3 멀티플렉서

만일, 상기 어드레스가 2이면, 전치 라이징 엣지 출력라인 및 전치 폴링 엣지 출력라인의 데이터를 각각 다음의 순서로 싣는다.

1. pre\_rdo1 -> rdo, at 제2 멀티플렉서
2. pre\_fdo1 -> fdo, at 제3 멀티플렉서

3. pre\_rdo0 -> rdo, at 제2 멀티플렉서

4. pre\_fdo0 -> fdo, at 제3 멀티플렉서

한편, 상기 스타트 어드레스가 기수이면, 제1-1 멀티플렉서(311)는 제1 멀티플렉서 기수 출력 라인(mxoutb\_od0)에 실린 데이터를 제1 전치 라이징 엡지 출력라인(pre\_rdo0)으로, 제1 멀티플렉서 우수 출력 라인(mxoutb\_ev0)에 실린 데이터를 제1 전치 폴링 엡지 출력라인(pre\_fdo0)으로 넘기고, 제1-2 멀티플렉서(312)는 제2 멀티플렉서 기수 출력 라인(mxoutb\_od1)에 실린 데이터를 제2 전치 라이징 엡지 출력라인(pre\_rdo1)으로, 제2 멀티플렉서 우수 출력 라인(mxoutb\_ev1)에 실린 데이터를 제2 전치 폴링 엡지 출력라인(pre\_fdo1)으로 넘긴다.

한편, 상기 스타트 어드레스가 1이면, 다음의 순서로 따라 데이터를 라이징 엡지 출력 라인(rdo) 혹은 폴링 엡지 출력 라인(fdo)에 실는다.

1. pre\_rdo0 -> rdo, at 제2 멀티플렉서

2. pre\_fdo1 -> fdo, at 제3 멀티플렉서

3. pre\_rdo1 -> rdo, at 제2 멀티플렉서

4. pre\_fdo0 -> fdo, at 제3 멀티플렉서

그리고, 상기 스타트 어드레스가 3이면, 다음의 순서로 따라 데이터를 라이징 엡지 출력 라인(rdo) 혹은 폴링 엡지 출력 라인(fdo)에 실는다.

1. pre\_rdo1 -> rdo, at 제2 멀티플렉서

2. pre\_fdo0 -> fdo, at 제3 멀티플렉서

3. pre\_rdo0 -> rdo, at 제2 멀티플렉서

4. pre\_fdo1 -> fdo, at 제3 멀티플렉서

도 4는 도 3의 파이프래치 내 제1 멀티플렉서 세부 구성도이고, 도 6은 도 4의 제1 멀티플렉서에서의 시뮬레이션 결과 파형도이다.

총래의 파이프래치는 파이프래치 인 신호(PIN)가 "L"상태이면 멀티플렉서 출력 라인(mxoutb)에 실린 데이터를 받아들이다가, 파이프래치 인 신호(PIN)가 "H"상태로 천이되면 더 이상 외부의 데이터를 받아들이지 않게 되고, 스타트오드 스타트 이븐 데이터출력 제어신호(isoseb0\_do)를 이용하여 스타트 어드레스가 우수인지 기수인지에 따라 데이터를 멀티플렉싱하여 전치 라이징 엣지 출력 라인(pre\_rdo) 혹은 전치 폴링 엣지 출력 라인(pre\_fdo)에 실는 것을 보인다.

복수의 제1 멀티플렉서(311, 312)는, 상기 스타트 어드레스가 기수인지 혹은 우수인지에 따라, 복수의 멀티플렉서 우수 출력 라인의 데이터를 각각 전치 라이징 엣지 출력라인으로, 복수의 멀티플렉서 기수 출력 라인의 데이터를 각각 전치 폴링 엣지 출력라인으로 각각 정렬시킬 수 있다.

여기서, 제1 멀티플렉서(311 혹은 312)는, 데이터의 입력 여부를 제어하는 파이프래치 인 신호의 제어를 받아 멀티플렉서 우수 출력 라인에 실린 데이터를 받아들이기 위한 멀티플렉서 우수 출력 라인 데이터 입력부(410); 상기 멀티플렉서 우수 출력 라인 데이터 입력부로 부터 출력된 데이터를 일시 저장하는 제1

래치부(412); 데이터의 입력 여부를 제어하는 파이프래치 인 신호의 제어를 받아 멀티플렉서 기수 출력 라인에 실린 데이터를 받아들이기 위한 멀티플렉서 기수 출력 라인 데이터 입력부(420); 상기 멀티플렉서 기수 출력 라인 데이터 입력부로 부터 출력된 데이터를 일시 저장하는 제2 래치부(422); 상기 스타트 어드레스가 기수 인지 혹은 우수인지에 따라 제1 논리상태 및 상기 제1 논리신호와 역전된 제2 논리신호를 출력하는 스타트오드 스타트이븐 데이터출력 제어부(430); 상기 제1 래치부로부터의 데이터를 입력받는 제1 전달게이트와 상기 제2 래치부로부터의 데이터를 입력받는 제2 전달게이트로 구성되고, 상기 제1 전달게이트의 피모스트랜지스터측과 상기 제2 전달게이트의 엔모스트랜지스터측은 상기 제1 논리신호에 제어되며, 상기 제1 전달게이트의 엔모스트랜지스터측과 상기 제2 전달게이트의 피모스트랜지스터측은 상기 제2 논리신호에 제어되고, 상기 제1 전달게이트의 출력과 상기 제2 전달게이트의 출력은 병렬접속된 전치 라이징 엣지 출력부(414); 및 상기 제1 래치부로부터의 데이터를 입력받는 제3 전달게이트와 상기 제2 래치부로부터의 데이터를 입력받는 제4 전달게이트로 구성되고, 상기 제3 전달게이트의 엔모스트랜지스터와 상기 제4 전달게이트의 피모스트랜지스터는 상기 제1 논리신호에 제어되며, 상기 제3 전달게이트의 피모스트랜지스터와 상기 제4 전달게이트의 엔모스트랜지스터는 상기 제2 논리신호에 제어되고, 상기 제3 전달게이트의 출력과 상기 제4 전달게이트의 출력은 병렬접속된 전치 폴링 엣지 출력부(424)를 포함한다.

도 5는 도 3의 파이프래치 내 제2 및 제3 멀티플렉서 세부 구성도이고, 도 7

과 도 8은 각각 도 4의 제2 멀티플렉서 및 제3 멀티플렉서에서의 시뮬레이션 결과 파형도이다.

제2 멀티플렉서(320)는, 상기 스타트 어드레스가 임의의 값을 가지면, 상기 병렬의 전치 라이징 엣지 출력라인 중 제1 전치 라이징 엣지 출력라인에 실린 상기 첫번째 데이터를 라이징 엣지 출력라인에 싣고, 상기 스타트 어드레스에 따라 기수 데이터를 정렬시키는 신호의 토글에 대응하여 상기 병렬의 전치 라이징 엣지 출력라인 중 제2 전치 라이징 엣지 출력라인에 실린 상기 세번째 데이터를 상기 라이징 엣지 출력라인에 실을 수 있다.

또한, 제2 멀티플렉서(320)에서는 상기 라이징 엣지 출력라인에 실린 상기 첫번째 데이터는 제1 라이징 클럭 펄스 신호 동안 출력되며, 상기 라이징 엣지 출력라인에 실린 상기 세번째 데이터를 제2 라이징 클럭 펄스 신호 동안 출력될 수 있다.

여기서, 제2 멀티플렉서(320)는, 상기 전치 라이징 엣지 출력부로부터의 출력을 입력으로 하는 제5 전달게이트와 상기 복수의 제1 멀티플렉싱 수단 중 다른 하나의 제1 멀티플렉싱 수단이 갖는 전치 라이징 엣지 출력라인과 접속된 제6 전달게이트를 갖고, 상기 제5 전달게이트의 피모스트랜지스터와 상기 제6 전달게이트의 엔모스트랜지스터는 상기 스타트 어드레스에 응하여 기수번째 데이터를 정렬시키는 제3 논리신호에 의해 제어되고, 상기 제5 전달게이트의 엔모스트랜지스터와 상기 제6 전달게이트의 피모스트랜지스터는 상기 제3 논리신호에 반전된 제4 논리신호에 제어되는 라이징 엣지 데이터 선택부(322); 및 전원전압단과 접지전압단 사이에 직

렬접속된 제1 및 제2 피모스트랜지스터와 제1 및 제2 엔모스트랜지스터로 구성되고, 상기 제1 피모스트랜지스터와 상기 제2 엔모스트랜지스터는 상기 라이징 엣지 데이터 선택부로부터 출력되는 신호에 제어되며, 상기 제2 피모스트랜지스터는 상기 제1 및 제2 클럭 펄스의 라이징 엣지 동안 상기 라이징 엣지 데이터 선택부로부터 출력되는 신호를 출력시키기 위한 라이징엣지출력제어신호에 제어되고, 상기 제1 엔모스트랜지스터는 상기 라이징엣지출력제어신호의 반전신호에 제어되며, 상기 제2 피모스트랜지스터와 상기 제1 엔모스트랜지스터 사이에 출력단에 연결되는 출력부(324)를 포함한다.

그리고, 제3 멀티플렉서(330)는, 상기 스타트 어드레스가 임의의 값을 가지면, 상기 병렬의 전치 폴링 엣지 출력라인 중 제1 전치 폴링 엣지 출력라인에 실린 상기 두번째 데이터를 폴링 엣지 출력라인에 싣고, 상기 스타트 어드레스에 따라 우수 데이터를 정렬하는 신호의 토글에 대응하여 상기 병렬의 전치 폴링 엣지 출력라인 중 제2 전치 폴링 엣지 출력라인에 실린 상기 네번째 데이터를 폴링 엣지 출력라인에 실을 수 있다.

이 때, 제3 멀티플렉서(330)에서는, 상기 라이징 엣지 출력라인에 실린 상기 두번째 데이터는 제1 폴링 클럭 펄스 신호 동안 출력하고, 상기 폴링 엣지 출력라인에 실린 상기 네번째 데이터를 제2 폴링 클럭 펄스 신호 동안 출력될 수 있다.

여기서, 제3 멀티플렉서(330)는, 상기 전치 폴링 엣지 출력부로부터의 출력을 입력으로 하는 제5 전달게이트와 상기 복수의 제1 멀티플렉싱 수단 중 다른 하나의 제1 멀티플렉싱 수단이 갖는 전치 폴링 엣지 출력라인과 접속된 제6 전달게이

트를 갖고, 상기 제5 전달게이트의 피모스트랜지스터와 상기 제6 전달게이트의 엔모스트랜지스터는 상기 스타트 어드레스에 의하여 우수번째 데이터를 정렬시키는 제3 논리신호에 의해 제어되고, 상기 제5 전달게이트의 엔모스트랜지스터와 상기 제6 전달게이트의 피모스트랜지스터는 상기 제3 논리신호에 반전된 제4 논리신호에 제어되는 폴링 엠티 데이터 선택부(332); 및 전원전압단과 접지전압단 사이에 직렬 접속된 제1 및 제2 피모스트랜지스터와 제1 및 제2 엔모스트랜지스터로 구성되고, 상기 제1 피모스트랜지스터와 상기 제2 엔모스트랜지스터는 상기 폴링 엠티 데이터 선택부로부터 출력되는 신호에 제어되며, 상기 제2 피모스트랜지스터는 상기 제1 및 제2 클럭 펄스의 폴링 엠티 동안 상기 폴링 엠티 데이터 선택부로부터 출력되는 신호를 출력시키기 위한 폴링엠티출력제어신호에 제어되고, 상기 제1 엔모스트랜지스터는 상기 폴링엠티출력제어신호의 반전신호에 제어되며, 상기 제2 피모스트랜지스터와 상기 제1 엔모스트랜지스터 사이에 출력단에 연결되는 출력부(334)를 포함한다.

스타트 어드레스가 0인 경우 제2 멀티플렉서(320)에서의 동작은 다음과 같다. 먼저, 제1 전치 라이징 엠티 출력라인(pre\_rdo<0>)에 실린 첫번째 데이터를 라이징 엠티 출력라인(rdo)에 싣고, 라이징 엠티 출력라인(rdo)에 실린 첫번째 데이터를 제1 클럭 펄스의 라이징 엠티(rclk\_do) 동안 출력시킨다. 이후, 스타트 어드레스가 무엇인가에 따라 기수 데이터를 정렬하는 신호(isoseb1\_rd)의 토글로 인하여 제2 전치 라이징 엠티 출력라인(pre\_rdo<1>)에 실린 세번째 데이터를 라이징 엠티 출력라인(rdo)에 싣고, 라이징 엠티 출력라인(rdo)에 실린 세번째 데이터를 제2

클럭 펄스의 라이징 엣지(rclk\_do) 동안 출력한다.

한편, 스타트 어드레스가 0인 경우 제3 멀티플렉서(330)에서의 동작은 다음과 같이 수행된다. 먼저 제1 전치 폴링 엣지 출력라인(pre\_fdo<0>)에 실린 두번째 데이터를 폴링 엣지 출력라인(fdo)에 싣고, 라이징 엣지 출력라인(fdo)에 실린 두번째 데이터를 제1 클럭 펄스의 폴링 엣지(fclk\_do) 동안 출력한다. 이후, 스타트 어드레스가 무엇인가에 따라 우수 데이터를 정렬하는 신호(isosebl\_fd)의 토글로 인하여 제2 전치 폴링 엣지 출력라인(pre\_fdo<1>)에 실린 네번째 데이터를 폴링 엣지 출력라인(fdo)에 싣고, 폴링 엣지 출력라인(fdo)에 실린 네번째 데이터를 제2 클럭 펄스의 폴링 엣지(fclk\_do) 동안 출력한다.

그러나, 이와 같이 파이프래치 내에서 4차에 걸쳐 정렬을 수행하는 경우 지연시간이 길어지는 심각한 문제를 야기한다. 즉, 한번의 정렬을 할 때마다 그에 따른 마진을 필요로 하는데 예를 들어 한번 정렬할 때마다 300 피코 초(ps)의 마진을 둔다고 예상하면 4번의 정렬에는 1.2 나노 초(ns)의 시간이 소요된다. 그리고 파이프래치를 통과하는 시간 또한 어드레스 액세스 타임(tAA)에 포함되므로 결국 어드레스 액세스 타임이 커지게 되는 문제를 안고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

상기의 문제점을 해결하기 위하여 본 발명은 데이터의 정렬을 간소화할 수 있는 파이프래치를 갖는 반도체 기억 장치를 제공함에 목적이 있다.



## 【발명의 구성】

상기의 목적을 달성하기 위한 본 발명의 파이프래치를 갖는 반도체 기억 장치는 파이프래치 인 신호와 스타트오드 스타트이븐 데이터 출력 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 제1 제어신호생성수단; 기수번째 데이터를 출력하기 위한 기수데이터인에이블신호와 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하고, 우수번째 데이터를 출력하기 위한 우수데이터인에이블신호와 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 제2 제어신호생성수단; 및 상기 제1 제어신호생성수단과 상기 제2 제어신호생성수단으로부터 출력되는 제어신호에 의해 제어받아 제1 및 제2 멀티플렉서 우수 출력 라인과 제1 및 제2 멀티플렉서 기수 출력 라인에 실린 데이터를 출력시키는 신호전달수단을 포함한다.

또한, 본 발명의 상기 제1 제어신호생성수단은, 상기 파이프래치 인 신호를 입력받는 인버터; 상기 인버터의 출력과 스타트오드 스타트이븐 데이터 출력 제어신호를 입력으로 하는 제1 낸드게이트; 및 상기 인버터의 출력과 상기 제1 낸드게이트의 출력을 입력으로 하는 제2 낸드게이트를 포함하고, 상기 제1 낸드게이트로부터의 피세소신호와 상기 제2 낸드게이트로부터의 피소세신호를 출력한다. 여기서, 언급되는 피세소신호와 피소세신호의 특성은 후술하기로 한다.

또한, 본 발명의 상기 제2 제어신호생성수단은, 기수번째 데이터를 출력하기 위한 기수데이터인에이블신호와 스타트 어드레스에 대응하여 기수번째 데이터를 정

렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 기수데이터정렬제어부; 및 우수번째 데이터를 출력하기 위한 우수데이터인에이블신호와 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 우수데이터정렬제어부를 포함한다.

또한, 본 발명의 상기 기수데이터정렬제어부는, 기수번째 데이터를 출력하기 위한 기수데이터인에이블신호를 입력으로 하는 인버터; 상기 인버터의 출력과 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호를 입력으로 하는 제1 낸드게이트; 및 상기 인버터의 출력과 상기 제1 낸드게이트의 출력을 입력으로 하는 상기 제1 낸드게이트를 포함하고, 상기 제2 낸드게이트로부터 선 기수 데이터 정렬 제어 신호를, 상기 제1 낸드게이트로부터 후 기수 데이터 정렬 제어 신호를 각기 출력한다.

또한, 본 발명의 상기 우수데이터정렬제어부는, 우수번째 데이터를 출력하기 위한 우수데이터인에이블신호를 입력으로 하는 인버터; 상기 인버터의 출력과 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호를 입력으로 하는 제1 낸드게이트; 및 상기 인버터의 출력과 상기 제1 낸드게이트의 출력을 입력으로 하는 제2 낸드게이트를 포함하고, 상기 제2 낸드게이트로부터 선 우수 데이터 정렬 제어 신호를, 제1 낸드게이트로부터 후 우수 데이터 정렬 제어 신호를 각기 출력한다.

또한, 본 발명의 상기 신호전달수단은, 상기 제1 제어신호생성수단으로부터 출력되는 제어신호에 의해 제어되어 입력되는 데이터를 1차적으로 정렬하는 제1 데

이터정렬부; 상기 제1 데이터정렬부로부터 출력된 데이터를 일시 저장하는 래치부; 및 상기 래치부에 저장된 데이터를 2차적으로 정렬하여 출력하는 제2 데이터정렬부를 포함한다.

또한, 본 발명의 상기 제1 데이터정렬부는, 상기 피소세신호에 제어받아 제1 멀티플렉서 우수 데이터 출력라인에 실린 데이터를 출력하기 위한 제1 전달게이트; 상기 피소세신호에 제어받아 제1 멀티플렉서 기수 데이터 출력라인에 실린 데이터를 출력하기 위한 제2 전달게이트; 상기 피소세신호에 제어받아 제2 멀티플렉서 우수 데이터 출력라인에 실린 데이터를 출력하기 위한 제3 전달게이트; 및 상기 피소세신호에 제어받아 제2 멀티플렉서 기수 데이터 출력라인에 실린 데이터를 출력하기 위한 제4 전달게이트를 포함하고, 상기 제1 전달게이트의 출력단은 상기 제2 전달게이트의 출력단에, 상기 제3 전달게이트의 출력단은 상기 제4 전달게이트의 출력단에 각각 접속된다.

또한, 본 발명의 상기 래치부는, 상기 제1 전달게이트의 출력과 역병렬접속된 복수의 제1 인버터; 및 상기 제3 전달게이트의 출력과 역병렬접속된 복수의 제2 인버터를 포함한다.

또한, 본 발명의 상기 제2 데이터정렬부는, 상기 선 기수 데이터 정렬 제어 신호에 제어받아 상기 복수의 제1 인버터로부터 입력되는 데이터를 출력하고, 상기 후 기수 데이터 정렬 제어 신호에 제어받아 상기 복수의 제2 인버터로부터 입력되는 데이터를 출력한다.

이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

도 9는 본 발명에 따른 반도체 기억 장치에서의 파이프래치 블록 구성도 및 제어신호 생성부이다.

본 발명의 파이프래치 전체 구성(900)은 파이프래치 인 신호(PIN)와 스타트 오드 스타트이븐 데이터 출력 제어신호(isoseb0\_do)의 논리결합에 의해 생성된 제어신호를 출력하기 위한 제1 제어신호생성부(920)와 기수번째 데이터를 출력하기 위한 기수데이터인에이블신호(rpout)와 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호(isoseb1\_rd)의 논리결합에 의해 생성된 제어신호와 우수번째 데이터를 출력하기 위한 우수데이터인에이블신호(fpout)와 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호(isoseb1\_fd)의 논리결합에 의해 생성된 제어신호를 출력하기 위한 제2 제어신호생성부(930) 그리고 제1 및 제2 멀티플렉서 우수 출력 라인(mxoutb\_ev0, mxoutb\_ev1)과 제1 및 제2 멀티플렉서

기수 출력 라인(mxoutb\_od0, mxoutb\_od1)에 실린 데이터를 상기 제1 제어신호생성부와 상기 제2 제어신호생성부로부터 출력되는 제어신호에 의해 제어받아 출력시키는 신호전달부(910)으로 구성된다.

여기서, 제1 제어신호생성부(920)는 파이프래치 인 신호(PIN)를 입력받는 인버터(921)와, 인버터(921)의 출력과 스타트오드 스타트이븐 데이터 출력 제어신호(isoseb0\_do)를 입력으로 하는 낸드게이트(922) 그리고 인버터(921)의 출력과 낸드게이트(922)의 출력을 입력으로 하는 낸드게이트(923)로 구성되어, 낸드게이트(922)로부터 피소세신호(psesob)와 낸드게이트(923)로부터 피소세신호(psoseb)를 출력한다.

또한, 제2 제어신호생성부(930)는 기수데이터정렬제어부(931)와 우수데이터정렬제어부(936)로 이루어진다.

기수데이터정렬제어부(931)는 기수번째 데이터를 출력하기 위한 기수데이터 인에이블신호(rpout)를 입력으로 하는 인버터(932)와, 인버터(932)의 출력과 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호(isoseb1\_rd)를 입력으로 하는 낸드게이트(933) 그리고 인버터(932)의 출력과 낸드게이트(933)의 출력을 입력으로 하는 낸드게이트(934)로 구성되어, 낸드게이트(934)로부터 선 기수 데이터 정렬 제어 신호(rpout01)를, 낸드게이트(933)로부터 후 기수 데이터 정렬 제어 신호(rpout23)를 각기 출력한다.

우수데이터정렬제어부(936)는 우수번째 데이터를 출력하기 위한 우수데이터 인에이블신호(fpout)를 입력으로 하는 인버터(937)와, 인버터(937)의 출력과 스타

트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호(isoseb1\_fd)를 입력으로 하는 낸드게이트(938) 그리고 인버터(937)의 출력과 낸드게이트(938)의 출력을 입력으로 하는 낸드게이트(939)로 구성되어, 낸드게이트(939)로부터 선 우수 데이터 정렬 제어 신호(fpout03)를, 낸드게이트(938)로부터 후 우수 데이터 정렬 제어 신호(fpout12)를 각기 출력한다.

도 10은 본 발명에 따른 파이프래치(900) 내 신호전달부(910)의 상세 구성도이다.

본 발명의 파이프래치 내 신호전달부(910)는 제1 제어신호생성부(920)로부터 출력되는 제어신호에 의해 1차적으로 정렬하는 제1 데이터정렬부(1010)와, 제1 데이터정렬부로부터 출력된 데이터를 일시 저장하는 래치부(1020) 그리고 래치부(1020)에 저장된 데이터를 2차적으로 정렬하여 출력하는 제2 데이터정렬부(1030)로 구성된다.

여기서, 이들에 대한 동작을 설명하면 다음과 같다.

피소세신호(psoseb)가 "L"이면 제1 및 제2 우수 출력라인(mxoutb\_ev0, mxoutb\_ev1)에 실린 데이터가 각각 제1 및 제2 전치 라이징 엣지 출력라인(pre\_rdo0, pre\_rdo1)으로 넘어가고, 제1 및 제2 기수 출력라인(mxoutb\_od0, mxoutb\_od1)에 실린 데이터가 각각 제1 및 제2 전치 폴링 엣지 출력라인(pre\_fdo0, pre\_fdo1)으로 넘어간다. 이후, 제1 및 제2 전치 라이징 엣지 출력라인(pre\_rdo0, pre\_rdo1)에 실린 데이터와 제1 및 제2 전치 폴링 엣지 출력

라인(pre\_fdo0, pre\_fdo1)에 실린 데이터는 제2 제어신호생성부(930)로 부터 출력되는 선 기수 데이터 정렬 제어 신호(rpout01), 후 기수 데이터 정렬 제어 신호(rpout23), 선 우수 데이터 정렬 제어 신호(fpout03) 그리고 우수 데이터 정렬 제어 신호(fpout12)에 의해 순차적으로 출력된다.

도 11(A)는 본 발명의 신호전달부(910)내 전달게이트의 구체회로도이고, 도 11(B)는 제1 및 제2 제어신호생성부(920, 930)에서 사용되는 구체회로도 및 논리상태도이다. 도 11에 대해서는 당업자라면 개시된 회로도 및 상태도만으로도 분석이 가능하므로 본 발명의 본질을 흐리지 않도록 하기 위하여 별도의 언급은 피하기로 한다.

이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

#### 【발명의 효과】

상기의 구성에 따라 데이터 정렬의 횟수가 줄어들면 어드레스 액세스 타임이 줄게 되고, 어드레스 액세스 타임은  $t_{CKmin} * CL = t_{AA}$ (여기서,  $t_{CK}$ 는 하나의 클럭이 갖는 시간, CAS Latency는 읽기 명령이 들어간 클럭의 시점으로부터 데이터가

나올 때까지의 클럭수를 의미)이므로 동일한 카스 레이턴시에서 더 빠른 속도를 갖는 반도체 기억 장치를 얻을 수 있다. 예를 들어,  $t_{AA} = 18 \text{ ns}$ ,  $CL = 3$  인 반도체 기억 장치는  $t_{CKmin} = 6 \text{ ns}$ , 즉 166MHz 동작이 가능하나,  $t_{AA}$ 를 15ns로 줄이면,  $t_{CKmin} = 5 \text{ ns}$ , 즉 200MHz 동작이 가능한 반도체 기억 장치를 구현할 수 있다.



**【특허청구범위】**

**【청구항 1】**

파이프래치 인 신호와 스타트오드 스타트이븐 데이터 출력 제어신호의 논리 결합에 의해 생성된 제어신호를 출력하기 위한 제1 제어신호생성수단;

기수번째 데이터를 출력하기 위한 기수데이터인에이블신호와 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하고, 우수번째 데이터를 출력하기 위한 우수데이터인에이블신호와 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 제2 제어신호생성수단; 및

상기 제1 제어신호생성수단과 상기 제2 제어신호생성수단으로부터 출력되는 제어신호에 의해 제어받아 제1 및 제2 멀티플렉서 우수 출력 라인과 제1 및 제2 멀티플렉서 기수 출력 라인에 실린 데이터를 출력시키는 신호전달수단

을 포함하는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

**【청구항 2】**

제1항에 있어서, 상기 제1 제어신호생성수단은,

상기 파이프래치 인 신호를 입력받는 인버터;

상기 인버터의 출력과 스타트오드 스타트이븐 데이터 출력 제어신호를 입력으로 하는 제1 낸드게이트; 및

상기 인버터의 출력과 상기 제1 낸드게이트의 출력을 입력으로 하는 제2 낸

드게이트

를 포함하고,

상기 제1 낸드게이트로부터의 피세소신호와 상기 제2 낸드게이트로부터의 피소세신호를 출력하는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

**【청구항 3】**

제1항에 있어서, 상기 제2 제어신호생성수단은,

기수번째 데이터를 출력하기 위한 기수데이터인에이블신호와 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 기수데이터정렬제어부; 및

우수번째 데이터를 출력하기 위한 우수데이터인에이블신호와 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 우수데이터정렬제어부

를 포함하는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

**【청구항 4】**

제3항에 있어서, 상기 기수데이터정렬제어부는,

기수번째 데이터를 출력하기 위한 기수데이터인에이블신호를 입력으로 하는 인버터;

상기 인버터의 출력과 스타트 어드레스에 대응하여 기수번째 데이터를 정렬

하기 위한 제어신호를 입력으로 하는 제1 낸드게이트; 및

상기 인버터의 출력과 상기 제1 낸드게이트의 출력을 입력으로 하는 상기 제1 낸드게이트

를 포함하고,

상기 제2 낸드게이트로부터 선 기수 데이터 정렬 제어 신호를, 상기 제1 낸드게이트로부터 후 기수 데이터 정렬 제어 신호를 각기 출력하는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

#### 【청구항 5】

제3항에 있어서, 상기 우수데이터정렬제어부는,

우수번째 데이터를 출력하기 위한 우수데이터인에이블신호를 입력으로 하는 인버터;

상기 인버터의 출력과 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호를 입력으로 하는 제1 낸드게이트; 및

상기 인버터의 출력과 상기 제1 낸드게이트의 출력을 입력으로 하는 제2 낸드게이트

를 포함하고,

상기 제2 낸드게이트로부터 선 우수 데이터 정렬 제어 신호를, 제1 낸드게이트로부터 후 우수 데이터 정렬 제어 신호를 각기 출력하는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

【청구항 6】

제2, 4, 5항 중 어느 한 항에 있어서, 상기 신호전달수단은,  
상기 제1 제어신호생성수단으로부터 출력되는 제어신호에 의해 제어되어 입력되는 데이터를 1차적으로 정렬하는 제1 데이터정렬부;  
상기 제1 데이터정렬부로부터 출력된 데이터를 일시 저장하는 래치부; 및  
상기 래치부에 저장된 데이터를 2차적으로 정렬하여 출력하는 제2 데이터정렬부  
를 포함하는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

【청구항 7】

제6항에 있어서, 상기 제1 데이터정렬부는,  
상기 피소세신호에 제어받아 제1 멀티플렉서 우수 데이터 출력라인에 실린 데이터를 출력하기 위한 제1 전달게이트;  
상기 피세소신호에 제어받아 제1 멀티플렉서 기수 데이터 출력라인에 실린 데이터를 출력하기 위한 제2 전달게이트;  
상기 피소세신호에 제어받아 제2 멀티플렉서 우수 데이터 출력라인에 실린 데이터를 출력하기 위한 제3 전달게이트; 및  
상기 피세소신호에 제어받아 제2 멀티플렉서 기수 데이터 출력라인에 실린 데이터를 출력하기 위한 제4 전달게이트  
를 포함하고,

상기 제1 전달게이트의 출력단은 상기 제2 전달게이트의 출력단에, 상기 제3 전달게이트의 출력단은 상기 제4 전달게이트의 출력단에 각각 접속되는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

**【청구항 8】**

제7항에 있어서, 상기 래치부는,

상기 제1 전달게이트의 출력과 역병렬접속된 복수의 제1 인버터; 및

상기 제3 전달게이트의 출력과 역병렬접속된 복수의 제2 인버터

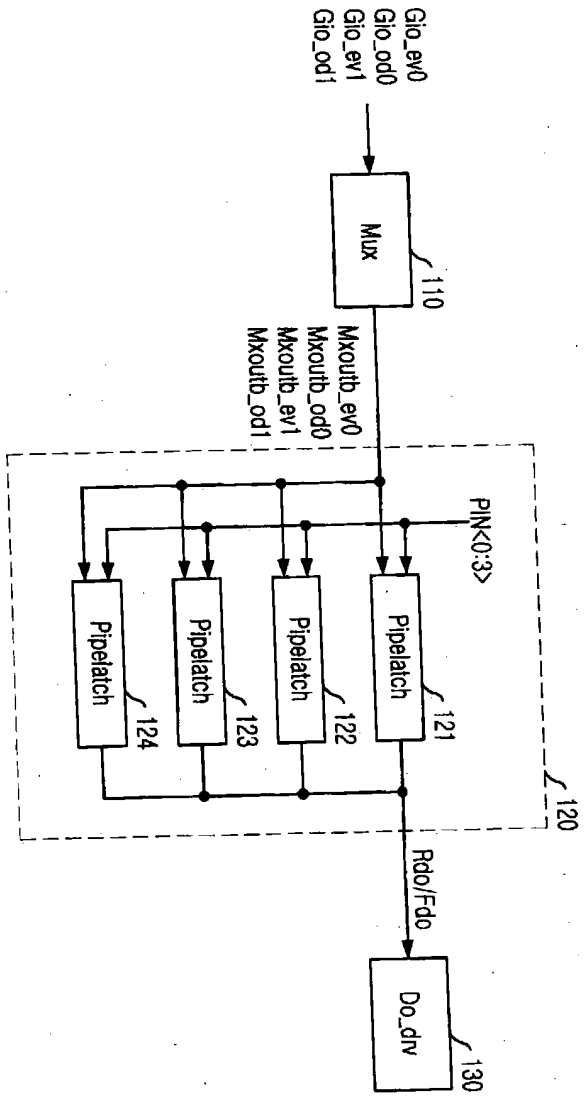
를 포함하는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

**【청구항 9】**

제8항에 있어서, 상기 제2 데이터정렬부는,

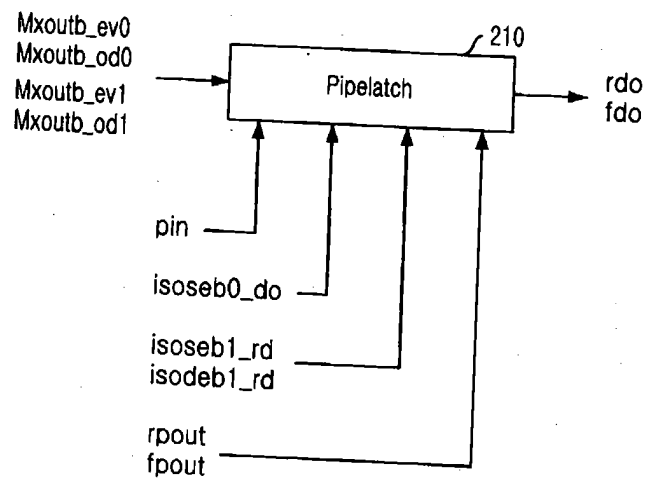
상기 선 기수 데이터 정렬 제어 신호에 제어받아 상기 복수의 제1 인버터로부터 입력되는 데이터를 출력하고, 상기 후 기수 데이터 정렬 제어 신호에 제어받아 상기 복수의 제2 인버터로부터 입력되는 데이터를 출력하는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

【도면】

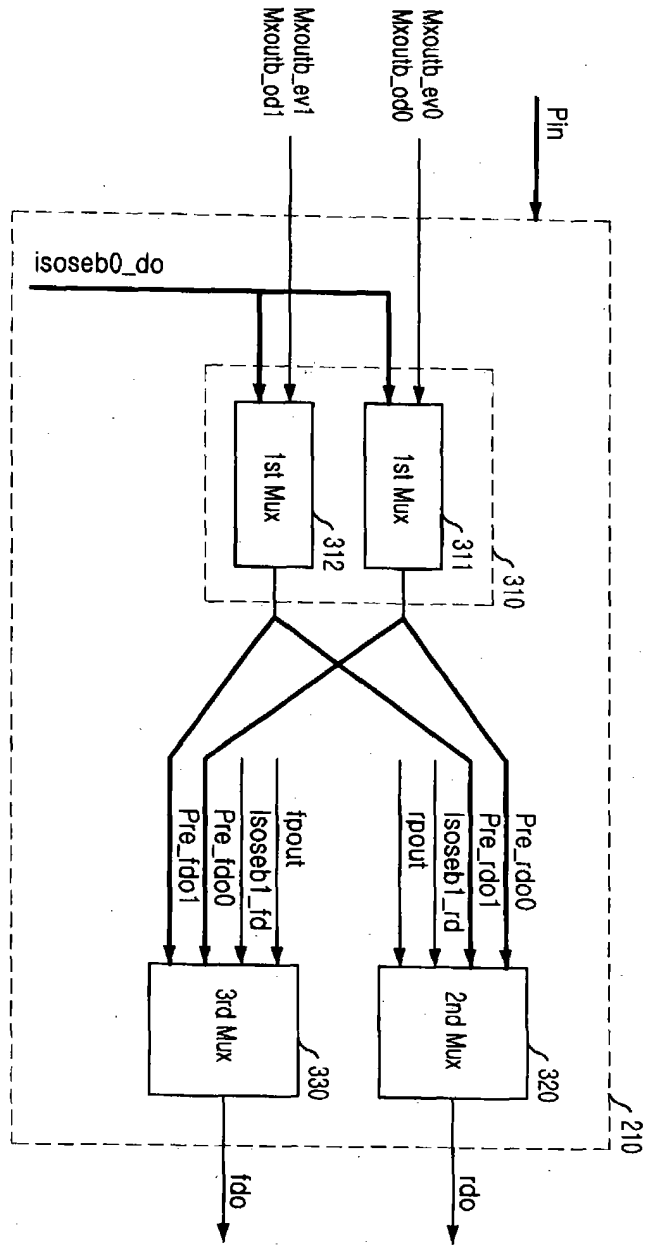


【도 1】

【도 2】

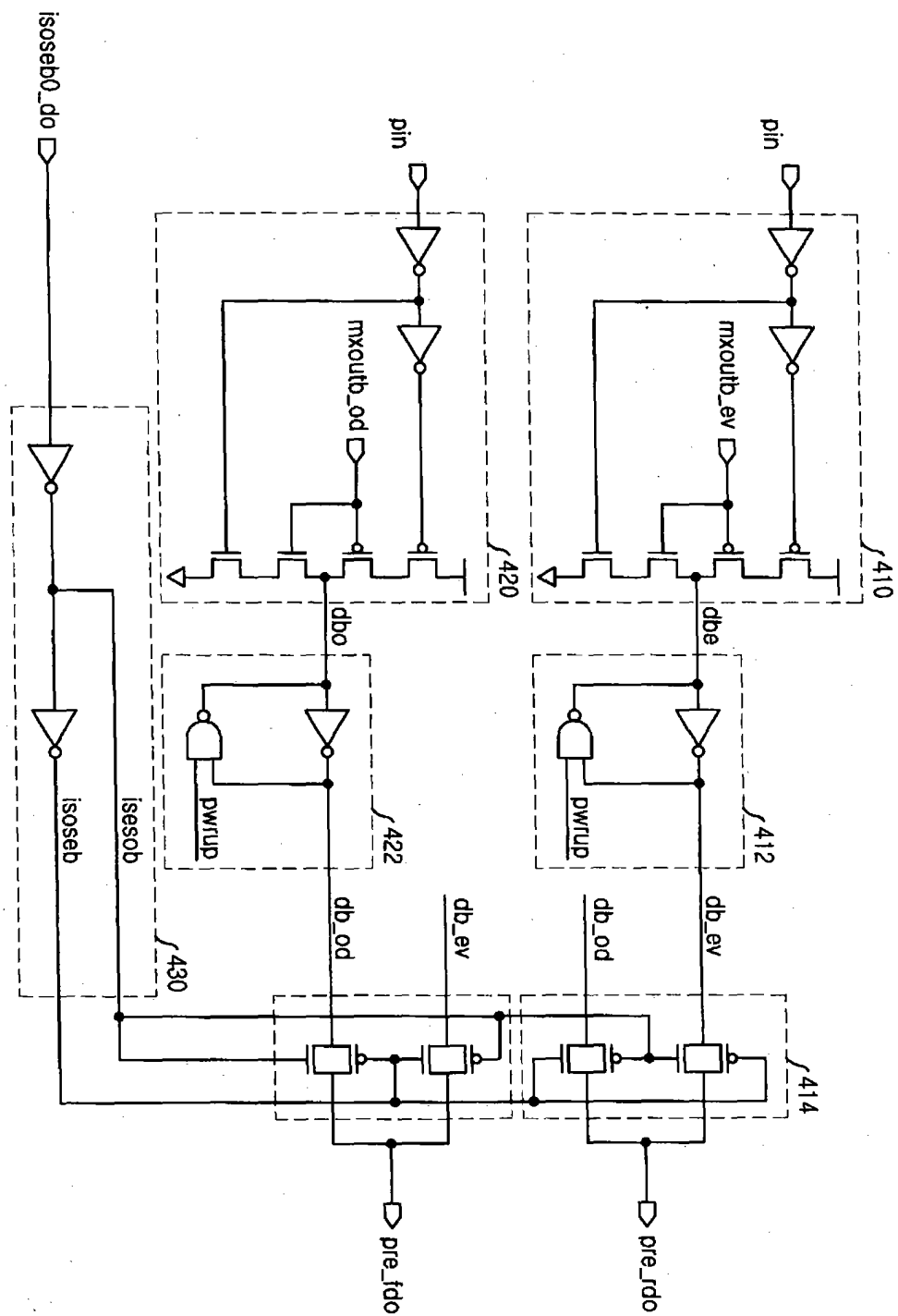


【도 3】

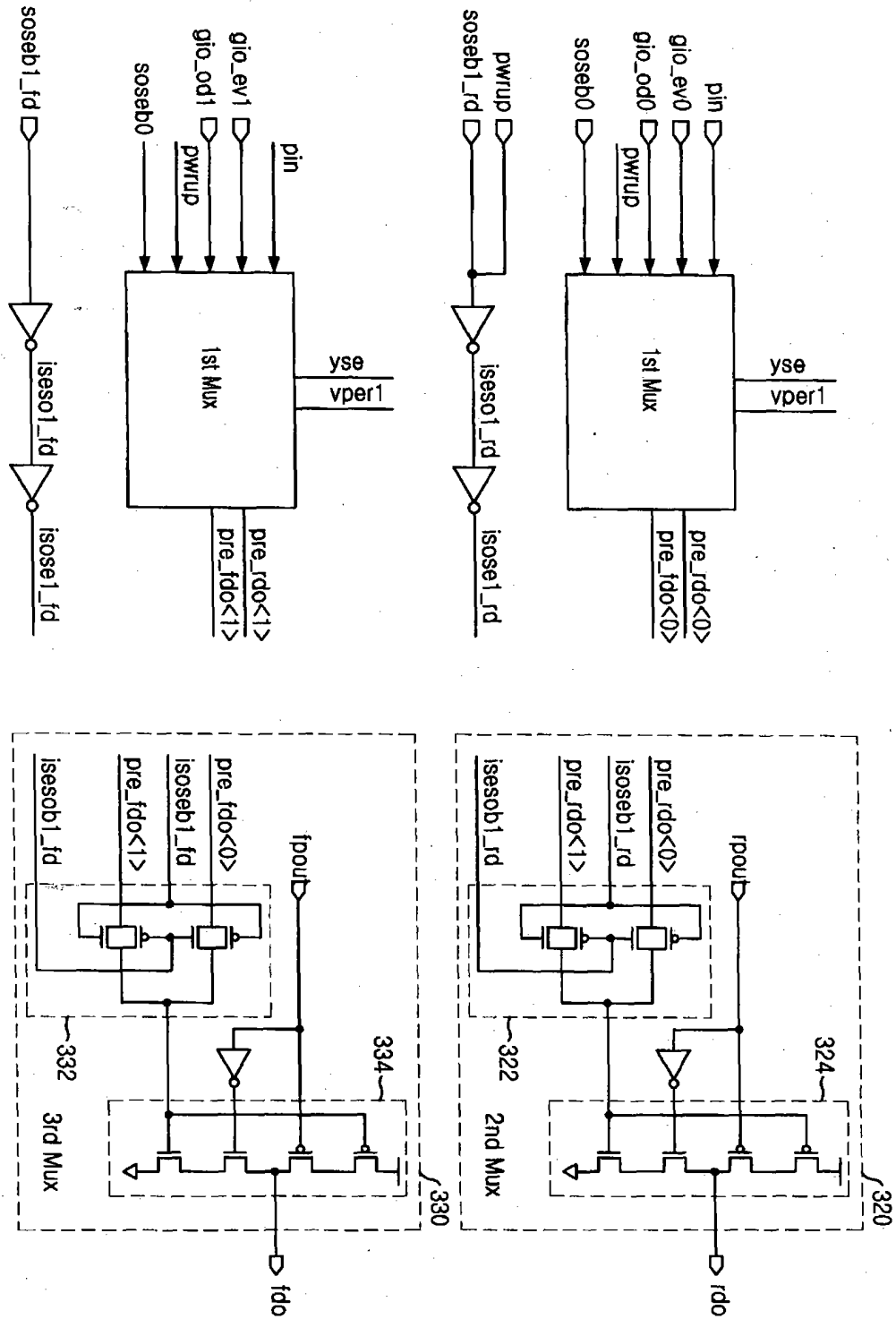




【도 4】



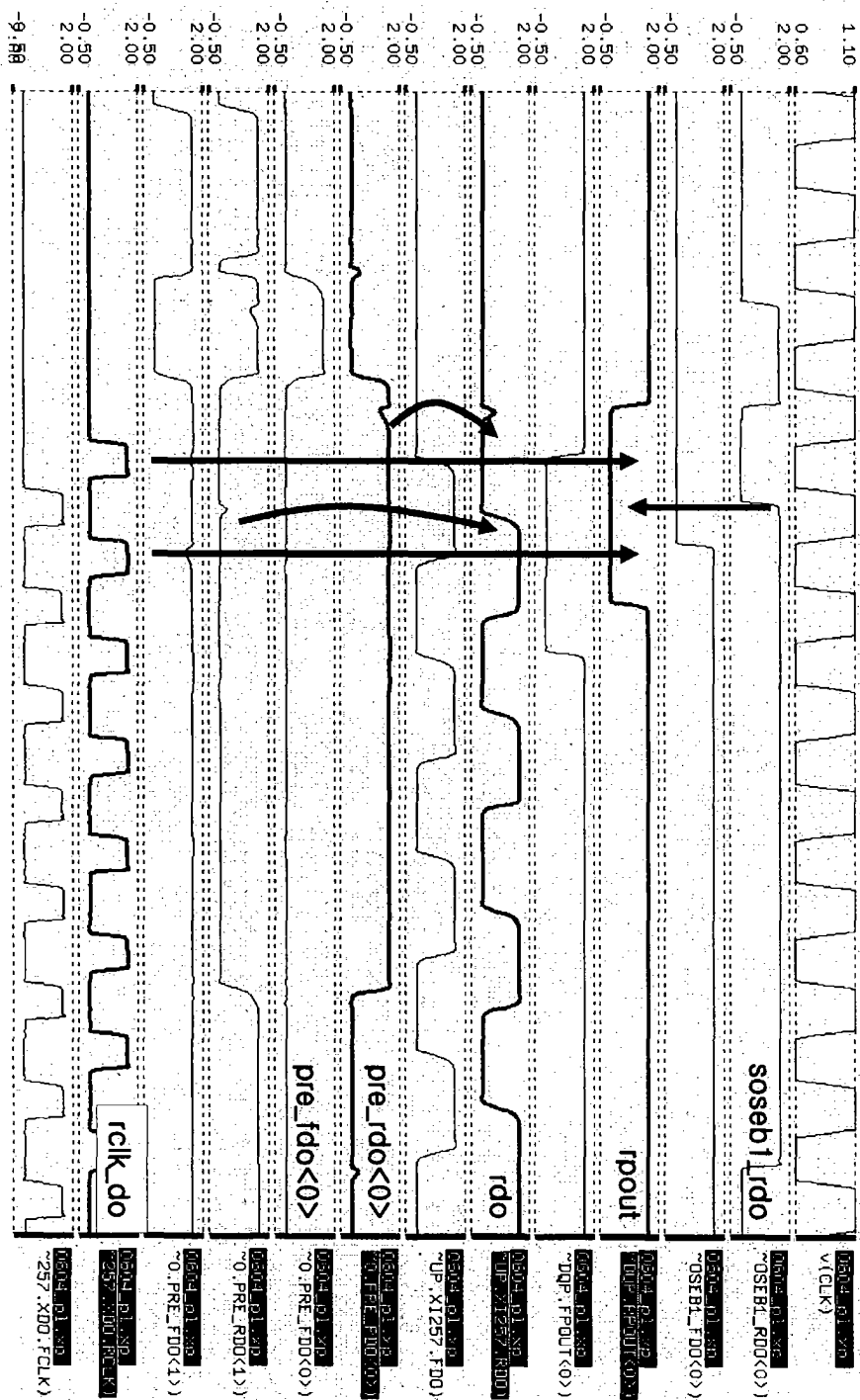
【도 5】

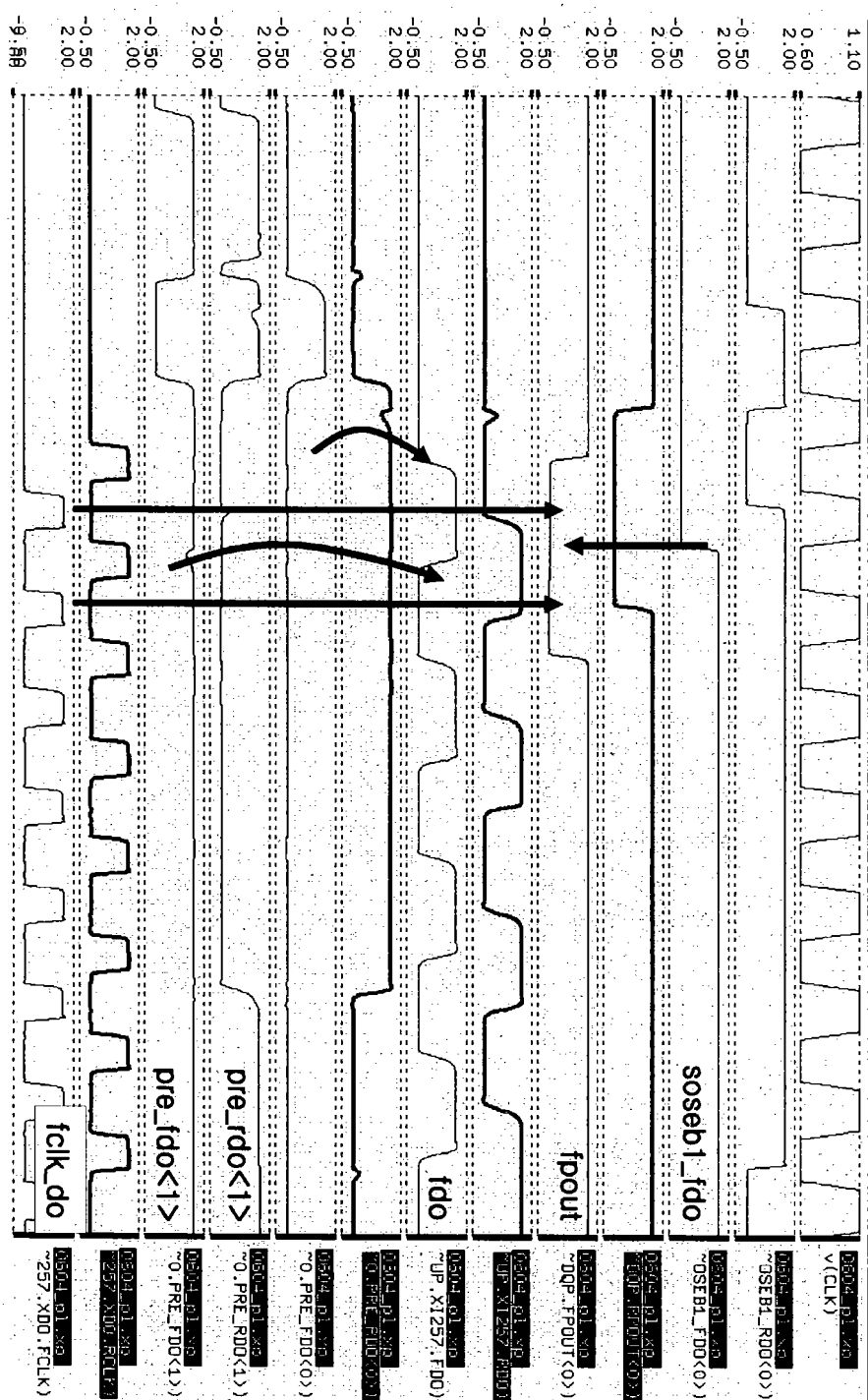


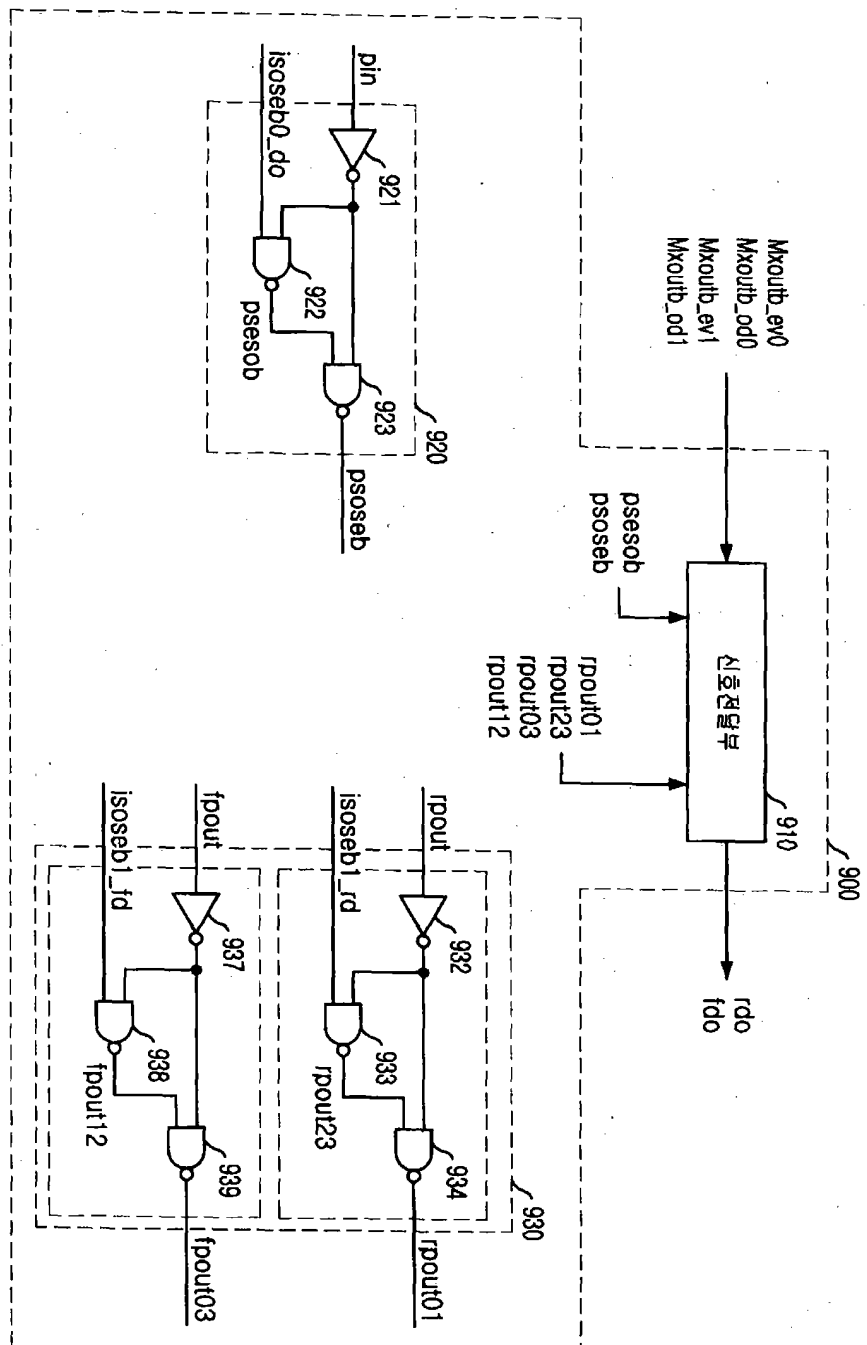
【도 6】



【도 7】

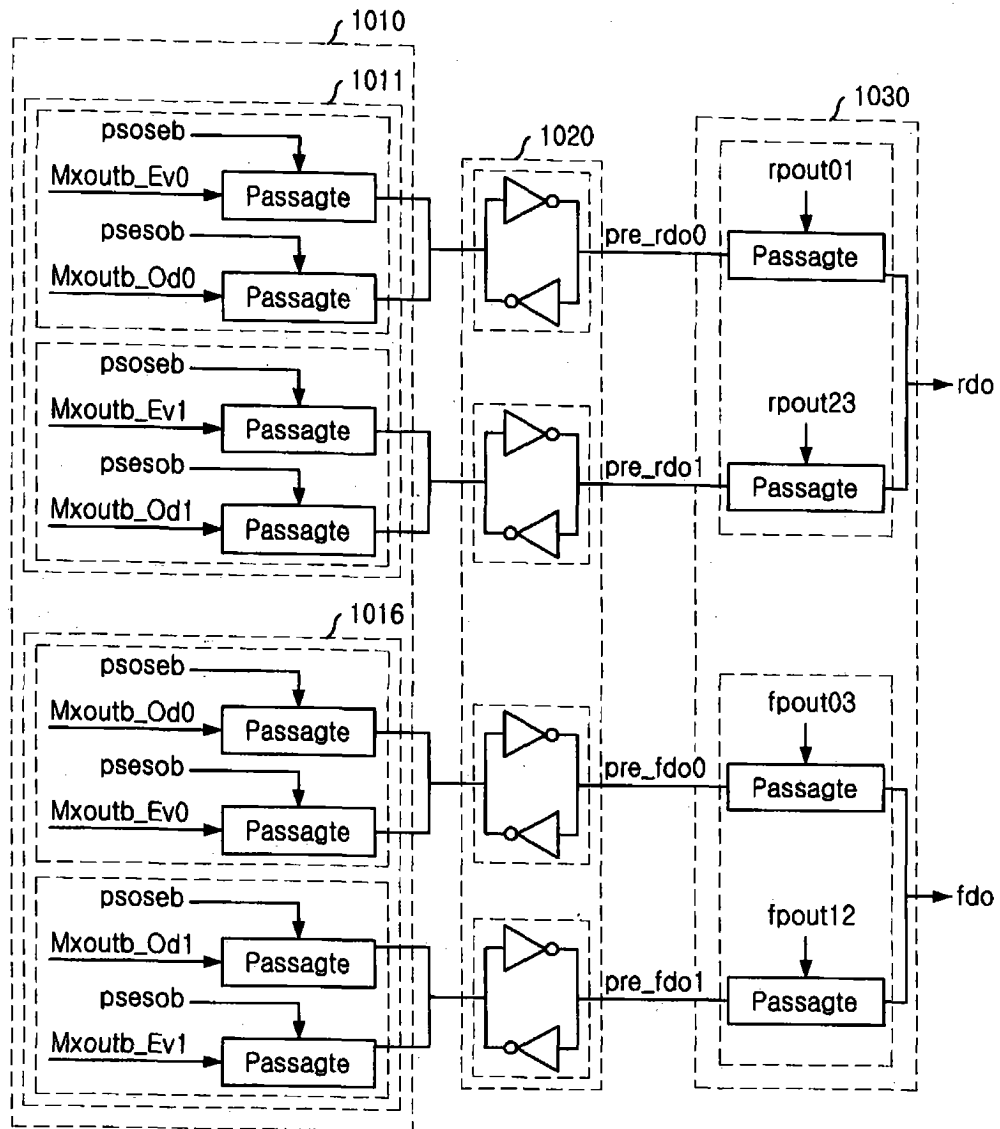




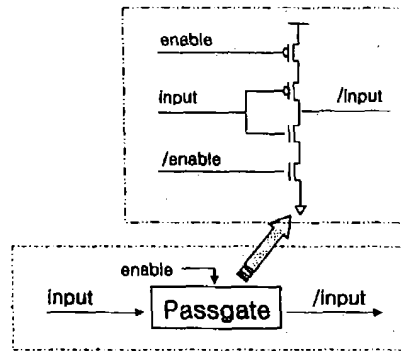


【도 9】

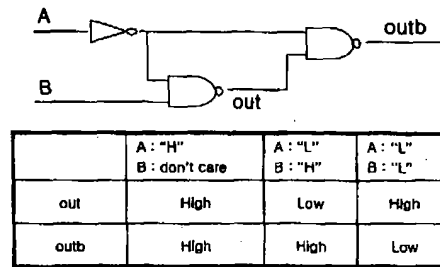
【図 10】



【도 11】



(a)



(b)